

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59149417 A**

(43) Date of publication of  
application: **27. 08 . 84**

(51) Int. Cl

**H03K 5/15**

**H03H 19/00**

(21) Application number: **58022773**

(71) Applicant: **HITACHI LTD**

(22) Date of filing: **16 . 02 . 83**

(72) Inventor: **NAGAI KENJI  
FUJII FUMIYAKI**

**(54) CLOCK GENERATOR**

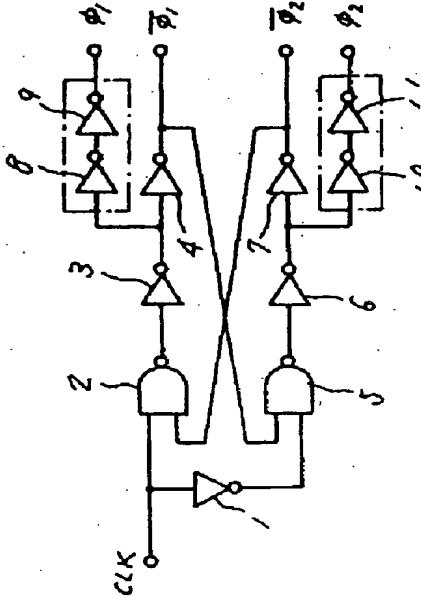
almost without delay.

**(57) Abstract:**

COPYRIGHT: (C)1984,JPO&Japio

**PURPOSE:** To generate mutually opposite-phase clock signals almost without delay by specifying the amount of delay of a signal at inverters.

**CONSTITUTION:** Inverters 4, 8, and 9 are so formed that the delay amount of the signal at the inverter 4 which generates a clock signal  $\phi_{IV1}$  is equal to those of inverters 8 and 9 which generate the clock signals  $\phi_{IV1}$ . Further, inverters 7, 10, and 11 are so formed that the delay amount of the signal of the inverter 7 which generates a clock signal  $\phi_{IV2}$  is equal to those of the inverters 10 and 11 which generate the clock signal  $\phi_{IV2}$ . Consequently, mutually opposite-phase clock signals are generated



⑨ 日本国特許庁 (JP)      ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A)      昭59-149417

⑫ Int. Cl.<sup>2</sup>  
 H 03 K 5/15  
 H 03 H 19/00

識別記号      廷内整理番号  
 7292-5 J  
 8124-5 J

⑬ 公開 昭和59年(1984)8月27日  
 発明の数 1  
 審査請求 未請求

(全 5 頁)

⑭ クロックジェネレータ

⑮ 特 願 昭58-22773

⑯ 出 願 昭58(1983)2月16日

⑰ 発明者 永井謙治

小平市上水本町1450番地株式会  
 社日立製作所デバイス開発セン  
 タ内

⑪ 発明者 藤井文明

小平市上水本町1450番地株式会  
 社日立製作所デバイス開発セン  
 タ内

⑫ 出願人 株式会社日立製作所  
 東京都千代田区丸の内1丁目5  
 番1号

⑬ 代理人 弁理士 高橋明夫 外1名

## 明細書

発明の名称 クロックジェネレータ

## 特許請求の範囲

1. 最終段がインバータにより構成され、同一の  
 クロックに基づいて互いに逆相関係の一組のクロ  
 ック信号を形成するようにされたクロックジェネ  
 レータにおいて、第1のクロック信号を形成する  
 ための一または二以上のインバータ回路列におけ  
 る信号の遅延時間の和が、これとは逆相の第2の  
 クロック信号を形成するための二または三以上の  
 インバータ回路列における信号の遅延時間の和と  
 同一になるように各インバータが構成されてなる  
 ことを特徴とするクロックジェネレータ。

2. 上記第1のクロック信号を形成する最終段の  
 インバータと第2のクロック信号を形成する最終  
 段のインバータとがほぼ同一寸法、特性のMOS  
 FETのインバータとがほぼ同一寸法、特性のMOS  
 FETとトランジスタにより構成されてなることを特徴と  
 する特許請求の範囲第1項記載のクロックジェネ  
 レータ。

## 発明の詳細を説明

この発明はクロックジェネレータに関し、特に  
 スイッチド・キャパシタ・フィルタに適したクロ  
 ックジェネレータに関する。

近年、ICアクティブフィルタにおける抵抗電  
 子を、アナログスイッチとキャパシタとで置き換  
 えることにより、MOS集積回路化できるようにな  
 ったスイッチド・キャパシタ・フィルタが使用  
 されるようになっている。

このようなスイッチド・キャパシタ・フィルタ  
 においては、アナログスイッチとしてMOSFET  
 (絶縁ゲート型電界効果トランジスタ)が使用さ  
 れる。しかし、アナログスイッチとして、Pチャ  
 ンネル形またはNチャンネル形のMOSFETの  
 一方のみを用いると、電源電圧と信号のレベルと  
 の関係や基板効果との関係で、スイッチが充分に  
 オンされず信号が伝達されなくなるおそれがある。  
 また、MOSFETは変化速度の速い信号がゲー  
 トに供給されると、そのゲートとソースまたはド  
 レイン間に存在する容量を介して信号線にゲート

## 特開昭59-149417(2)

入力信号の変化が伝わってノイズがのってしまつ  
というフィードスルー現象を生ずることが知られ  
ている。

そのため、一般に、スイッチド・キャパシタ・  
フィルタのアナログスイッチとして、信号線上に  
並列に配設された一対のリチャンネル形とロチャ  
ンネル形のMOSFETとからなるCMOSアナ  
ログスイッチが使用されている。そして、この  
CMOSアナログスイッチを構成するP-MOS  
FETとN-MOSFETの各々のゲートに、互  
いに逆相関係のクロック信号 $\phi_1$ ,  $\bar{\phi}_1$ を供給して同  
時にオン、オフ動作させる。これによって、信号  
の伝達が確実にされる。また、P-MOSFET  
とN-MOSFETにおけるフィードスルーによ  
り発生されるノイズはそれぞれ、正と負であるた  
め、互いに打ち消し合う。その結果フィードスル  
ーの影響が相殺されるようにされていた。

第1図は上記CMOSアナログスイッチに供給  
される一対のクロック信号 $\phi_1$ ,  $\bar{\phi}_1$ を発生するた  
めのクロックジェネレータの従来例を示すもので  
す。

そこでこの発明は、CMOSアナログスイッチ  
に供給される互いに逆相関係のクロック信号をそ  
の間にほとんど遅延を生じさせることなく発生さ  
せることができ、これによって、CMOSアナロ  
グスイッチに生ずるフィードスルーを極めて少な  
くし、スイッチド・キャパシタ・フィルタの利得  
変動を減少させることを目的とする。

さらにこの発明は、プロセスのバラツキや電源、  
温度等の変動に対するフィルタの利得変動をも小  
さくできるようにすることを目的とする。

以下図面を用いてこの発明を説明する。

第3図は本発明に係るクロックジェネレータの一  
実施例を示すものである。

図において、1は適当な周期のクロックCLK  
を反転するインバータ、2はクロックCLKを一  
方の入力信号とするNAND回路である。この  
NAND回路2の出力がインバータ3によって反  
転され、さらにインバータ4によって反転され  
ることによって、クロック信号 $\phi_1$ が形成される。ま  
た、

ある。なお、スイッチド・キャパシタ・フィルタ  
では、キャパシタの端子とともにその一方の端子の  
接続を切り換えるため、交互にオン、オフされる  
一対のCMOSアナログスイッチが設けられている。  
そのため、第1図のクロックジェネレータは、  
クロック信号 $\phi_1$ ,  $\bar{\phi}_1$ の他に、オン状態をオーバ  
ラップさせないよう、クロック信号 $\phi_2$ ,  $\bar{\phi}_2$   
を発生するようにされている。

しかしながら、第1図のクロックジェネレータ  
にあっては、逆相のクロック信号 $\phi_1$ と $\bar{\phi}_2$ を  
形成するために最終段にインバータ4, 7が設け  
られている。これによって、クロック信号 $\phi_1$ と  
 $\bar{\phi}_2$ は $\phi_1$ と $\bar{\phi}_2$ に対して、第2図に示すように、わ  
ずかではあるが遅延Tを持つことになる。そのた  
め、CMOSアナログスイッチを構成するP-  
MOSFETとN-MOSFETのオン、オフの  
タイミングがずれてしまい、フィードスルーによ  
るノイズを完全に打ち消し合わせることができな  
い。その結果、スイッチド・キャパシタ・フィル  
タの利得が変動されてしまうという問題点があつ

た。この実施例では上記インバータ3の出力がイ  
ンバータ8により反転され、さらにインバータ9  
によって反転されることによって、クロック信号  
 $\phi_1$ が形成されるようにされている。

5はインバータ1によって反転されたクロック  
CLKと上記インバータ4の出力信号 $\bar{\phi}_1$ を入力信  
号とするNAND回路である。このNAND回路  
5の出力がインバータ6によって反転され、さら  
にインバータ7により反転されることによって、  
クロック信号 $\bar{\phi}_2$ が形成される。また、上記インバ  
ータ6の出力がインバータ10により反転され、  
さらにインバータ11により反転されることによ  
って、クロック信号 $\phi_2$ が形成されるようにされて  
いる。

上記インバータ7の出力信号 $\bar{\phi}_2$ は上記NAND  
回路2の他方の入力端子に供給されている。これ  
によって、互いにハイレベルの期間がオーバーラ  
ップしないようにされたクロック信号 $\phi_1$ と $\bar{\phi}_2$ お  
よびそれらと逆相の信号 $\bar{\phi}_1$ と $\bar{\phi}_2$ が形成されるよ  
うにされている。

## 特開昭59-149417(3)

そして、この実施例では、クロック信号 $\bar{d}_1$ を形成するインバータ8における信号の遅延量が、クロック信号 $d_1$ を形成するためのインバータ8および7における信号の遅延量と等しくなるように、インバータ4と8, 9を構成するMOSFETが形成されている。

同様に、クロック信号 $\bar{d}_2$ を形成するインバータ7における信号の遅延量が、クロック信号 $d_2$ を形成するためのインバータ10および11における信号の遅延量と等しくなるように、インバータ7と10, 11を構成するMOSFETが形成されている。

具体的には、インバータ8, 9および10, 11を構成するMOSFETの寸法を、インバータ4および7を構成するMOSFETの寸法よりも大きくして、信号の速度を一致させてやればよい。

これによって、クロック信号 $d_1$ と $d_2$ はそれぞれクロック信号 $\bar{d}_1$ と $\bar{d}_2$ の完全な逆相信号となり、遅延Tがほとんどゼロにされる。

さらに、この場合、特にインバータ8と10を

び7と11を構成するMOSFETに対して同じように効いて来る。そのため、これらの変動要因による信号の遅延量が最小にされ、フィードスルーニによるスイッチド・キャパシタ・フィルタの利得変動が軽減されるようになる。

しかも、最終段のインバータの特性を適当に設計してやることによって、クロック信号 $d_1$ と $d_2$ あるいは $\bar{d}_1$ と $\bar{d}_2$ の変化の速度(立上り、立下りの傾き)を自由に設定してやることができるために、スイッチド・キャパシタ・フィルタの設計も容易になる。つまり、信号の変化の速度が予め分っているため、設計したフィルタの所望の利得からの変動分(伝達関数から求めた利得と実際のフィルタの利得のずれ)を予め知ることができる。そのためフィルタの設計が容易となるのである。

第4図は、上記クロックジェネレータにより発生されたクロック信号 $d_1$ ,  $\bar{d}_1$ および $d_2$ ,  $\bar{d}_2$ の供給を受けて動作するスイッチド・キャパシタ・フィルタを構成する積分器の一例を示すものである。

構成するMOSFETの寸法を大きくしてインバータ8および10の動作速度を速くしてやり、かつインバータ9および11はなるべくインバータ4および7と素子寸法が同じになるように形成してやる方が好ましい結果が得られる。

つまり、クロック信号 $d_1$  ( $\bar{d}_2$ )と $\bar{d}_1$  ( $d_2$ )の立上り時間 $t_{r1}$ と立下り時間 $t_{f1}$ が異なると、遅延Tがゼロであってもフィードスルーニの量が変わつて来るため、結局信号間にノイズがのってしまうおそれがある。ところが、信号 $d_1$  ( $\bar{d}_2$ )と $\bar{d}_1$  ( $d_2$ )を形成する最終段のインバータ4と9(7と11)が同一構成にされていれば、駆動能力も同じになるため、信号 $d_1$ と $\bar{d}_1$ の立上り時間 $t_{r1}$ と立下り時間 $t_{f1}$ が等しくされる。その結果、フィードスルーニが相互に完全に打ち消し合つて、これらの信号 $d_1$ ,  $\bar{d}_1$ および $d_2$ ,  $\bar{d}_2$ によって動作されるスイッチド・キャパシタ・フィルタの利得変動が減少される。また、インバータ4と9および7と11が略同一構成にされると、プロセスのバラツキや電源、温度変動が、インバータ4と9および

この積分器は、アナログスイッチ $Sa_1$ ,  $Sa_2$ ,  $Sb_1$ ,  $Sb_2$ とキャパシタ $C_3$ とからなるスイッチド・キャパシタ21と、オペアンプ22と、積分コンデンサ23により構成されている。

スイッチド・キャパシタ21を構成するアナログスイッチ $Sa_1$ ,  $Sa_2$ ,  $Sb_1$ ,  $Sb_2$ は、それぞれp-MOSFETとn-MOSFETが並列に接続されたCMOSアナログスイッチからなる。そして、上記キャパシタ $C_3$ の一方の端子と積分器の入力端子24および接地点との間に、上記アナログスイッチ $Sa_1$ と $Sa_2$ が配設されている。また、上記キャパシタ $C_3$ の他方の端子とオペアンプ22の反転入力端子22aおよび接地点との間に、上記アナログスイッチ $Sb_2$ と $Sb_1$ がそれぞれ配設されている。

そして、上記アナログスイッチ $Sa_1$ と $Sb_1$ が、前記クロックジェネレータから供給されるクロック信号 $d_1$ ,  $\bar{d}_1$ によって同時にオン、オフされ、また、アナログスイッチ $Sa_2$ と $Sb_2$ が、クロック信号 $d_2$ ,  $\bar{d}_2$ によって同時にオン、オフされるよ

## 特開昭59-149417(4)

りにされている。

クロック信号  $\phi_1$  がハイレベル、 $\bar{\phi}_1$  がロウレベルにされると、スイッチ  $Sa_1$  と  $Sb_1$  がオンされてキャパシタ  $C_0$  の一方の端子が入力端子 24 に接続され、他方の端子がグランドに接続される。そのため、キャパシタ  $C_0$  には入力電圧  $V_{in}$  に比例した電荷が蓄積される。次に、クロック信号  $\phi_1$  がロウレベル、 $\bar{\phi}_1$  がハイレベルに変化すると、スイッチ  $Sa_1$  と  $Sb_1$  がオフされる。続いて、クロック信号  $\phi_2$  がハイレベル、 $\bar{\phi}_2$  がロウレベルに変化すると、キャパシタ  $C_0$  の入力端子 24 に接続されていた側の端子がグランドに接続され、グランドに接続されていた側の端子がオペアンプ 22 の反転入力端子 22a に接続される。しかるに、オペアンプ 22 の非反転入力端子 22b は常時グランドに接続されているため、イマジナリショートにより反転入力端子 22a の転位もグランドレベルにされる。その結果、キャパシタ  $C_0$  に蓄積されていた入力電圧  $V_{in}$  に比例した電荷が、その符号が逆転されて積分コンデンサ 23 に移される。これに

することができる。

その結果、フィードスルーを完全に打ち消し合わせることができ、スイッチド・キャパシタ・フィルタの利得変動を最小にさせることができる。また、プロセスのバラツキ、電源や温度の変動に対するフィルタの利得変動も最小にされる。

## 回路の簡単な説明

第 1 図は従来のスイッチド・キャパシタ・フィルタ用クロックジェネレータの一例を示す回路構成図。

第 2 図はそのクロックジェネレータにより発生されるクロック信号のタイミングチャート。

第 3 図は本発明に係るクロックジェネレータの一実施例を示す回路構成図。

第 4 図はこれにより発生されるクロック信号の供給を受けて動作されるスイッチド・キャパシタ・フィルタを構成する積分器の一例を示す回路図である。

4, 7, 8, 11…インバータ, 21…スイッチド・キャパシタ,  $\phi_1$ ,  $\bar{\phi}_1$ ,  $\phi_2$ ,  $\bar{\phi}_2$ …クロック

によってオペアンプ 22 の出力端子からは入力電圧  $V_{in}$  に比例した積分出力  $V_{out}$  が出力される。

しかも、上記クロック信号  $\phi_1$  と  $\phi_2$  とはハイレベルの期間がオーバーラップしないようになっているので、信号の切換え時に、アナログスイッチを通してキャパシタ  $C_0$  の電荷が逃がされるおそれはない。

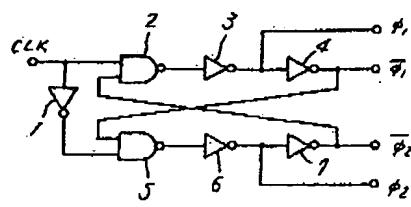
なお、前記実施例(第 3 図)のクロックジェネレータでは、インバータ 8 の出力信号に基づいて、1段のインバータ 4 によってクロック信号  $\phi_1$  を形成するようになっているが、インバータ 4 の次段に更に 2 段のインバータを接続し、3 段のインバータによってクロック信号  $\phi_1$  を形成するようにしてもよい。この場合、インバータ 4 個の最終段のインバータをクロック信号  $\phi_1$  を形成する最終インバータと全く同一構成にし、インバータ 8 における信号の遅延量とインバータ 4 およびその次段のインバータにおける信号の遅延量とが一致するように構成してやる。このようにすれば最終段のインバータの構成および駆動能力を全く同じに

クロック信号、 $Sa_1$ ,  $Sa_2$ ,  $Sb_1$ ,  $Sb_2$  … CMOS ナログスイッチ。

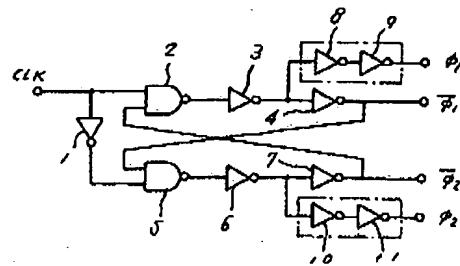
代理人 卒穂士 高橋明夫

特開昭59-149417(5)

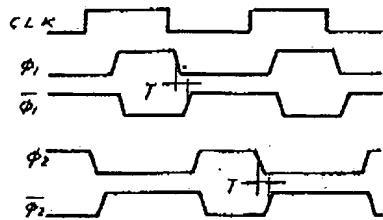
第 1 図



第 3 図



第 2 図



第 4 図

